

4/19

Title: METHOD OF TREATING SURFACE OF THIN FILM SEMICONDUCTOR SUBSTRATE

Patent Number: JP10242154

Publication date: 98-09-11

Inventor(s): SUDO MITSURU, TAKAMATSU MASARU, NAKAI TETSUYA

Applicant(s): MITSUBISHI MATERIALS SILICON CORP, MITSUBISHI MATERIALS CORP.

Application Number: JP970038848 970224

Priority Number(s):

IPC Classification: H01L21/324

Requested Patent: JP10242154

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To improve the main surface roughness of a thin film on a specified order, without increasing the in-plane thickness variation and without changing the film thickness even if the thickness is below a specified value by heat-treating a semiconductor substrate in an active atmosphere at a specified temp.

SOLUTION: A first semiconductor substrate 11 is bonded onto a second semiconductor substrate 12 at room temp., the bonded substrates 11, 12 are heat-treated at 400-600 deg.C in an Ar atmosphere to divide into the first and second substrates at damaged regions 11b, a single crystal Si thin film 13 is left at the bond face of the second substrate 12 and heat treated to tighten the chemical bond, the second substrate 12 with the film 13 is heat treated at 1000-1300 deg.C in an H-atmosphere for 10min-5hr.

.../abstract?CY=ep&LG=en&PNP=JP10242154&PN=JP10242154&CURDRAW=0&DB=PA99/08/10

JP10242154

特開平 10-242154

(43)公開日 平成10年(1998)9月11日

(51)Int.Cl.

H01L 21/324

識別記号

FI

H01L 21/324

N

審査請求 未請求 請求項の数2 OL (全8頁)

(21)出願番号 特願平9-38848

(22)出願日 平成9年(1997)2月24日

(71)出願人 000228925

三菱マテリアルシリコン株式会社

東京都千代田区大手町一丁目5番1号

(71)出願人 000006264

三菱マテリアル株式会社 *Mitsubishi Material*

東京都千代田区大手町1丁目5番1号

(72)発明者 須藤 充 *Sudo Mitsuru*

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(72)発明者 高松 勝

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(74)代理人 弁理士 須田 正義

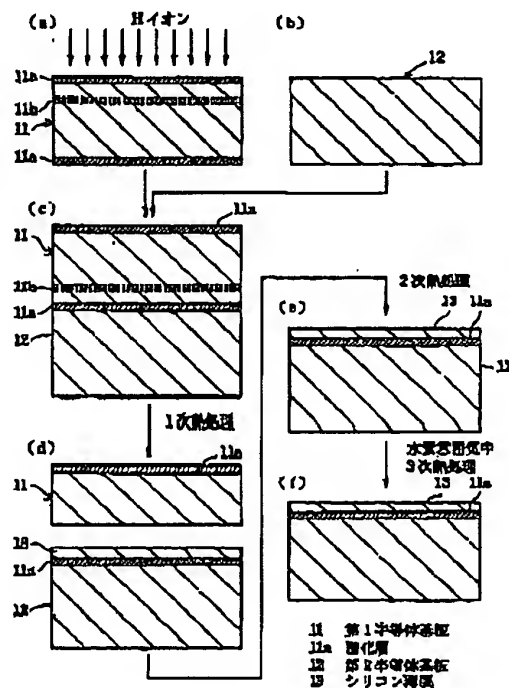
最終頁に続く

(54)【発明の名称】 薄膜半導体基板の表面処理方法

(57)【要約】

【課題】 厚さ数百nm以下の極めて薄い薄膜であっても、薄膜の厚さを変えずにかつ面内の厚さのばらつきを大きくせずに、薄膜の平均表面粗さを0.1nmオーダーに改善する。

【解決手段】 本発明の処理方法は、平均表面粗さが少なくとも0.2nmである単結晶薄膜13を有する半導体基板12を水素雰囲気のような活性雰囲気中で1000~1300℃の温度で10分~5時間熱処理する。



【特許請求の範囲】

【請求項1】 半導体基板(12)上に形成された平均表面粗さが少なくとも0.2nmである単結晶薄膜(13)の表面を処理する方法において、前記半導体基板(12)を活性雰囲気中で1000～1300℃の温度で10分～5時間熱処理することを特徴とする薄膜半導体基板の表面処理方法。

【請求項2】 薄膜(13)がシリコン薄膜であって、活性雰囲気が水素雰囲気であって、熱処理温度が1000～1300℃である請求項1記載の薄膜半導体基板の表面処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体基板上に形成された単結晶の薄膜の表面処理方法に関するものである。

【0002】

【従来の技術】 単結晶の薄膜を基板上に有する半導体基板の代表例として、SOI基板が挙げられる。このSOI基板は将来の超高度集積回路(ULSI)基板として注目されてきている。このSOI基板の製造方法には、①シリコン基板同士を絶縁膜を介して貼り合わせる方法、②絶縁性基板又は絶縁性薄膜を表面に有する基板の上にシリコン薄膜を堆積させる方法、③シリコン基板の内部に高温度の酸素イオンを注入した後、高温でアニール処理してこのシリコン基板表面から所定の深さの領域に埋込みシリコン酸化層を形成し、その表面側のSi層を活性領域とするSIMOX法などがある。また最近、第1半導体基板に水素イオン注入を行った後に、この半導体基板をイオン注入面を接合面として、支持基板となる別の第2半導体基板に接合し、第1半導体基板を水素イオン注入部分で第2半導体基板から分離し、第2半導体基板の表面に薄膜を有する半導体基板を製造する方法が提案されている(特開平5-211128)。この方法では、イオンを半導体基板の内部に表面から均一に注入できれば、均一な厚さの薄膜を有する半導体基板が得られる。また支持基板となる第2半導体基板の表面に予め酸化層を設けておけば、この方法によりSOI基板を製造することができる。

【0003】 一方、近年マイクロエレクトロニクスデバイスの高集積化、デバイス最小寸法の縮小に伴い、ウェーハ表面の清浄度とともにウェーハ表面の微視的ラフネス、即ちマイクロラフネス(micro-roughness)が重要視されてきている。特にマイクロラフネスはデバイスの酸化膜耐圧などの電気特性に大きな影響を与えることが認識されている((N.Morita, et al., "Effect of Si wafer surface micro-roughness on electrical properties of very-thin gate oxide films", ULSI Science and Technology/1991, pp.400-408, Electrochem. Society (1991))。なお、ここでマイクロラフネスは1μm以

下数nmのオーダーの表面粗さをいう。

【0004】 上記特開平5-211128号公報に示された方法で、第1半導体基板を分離した直後の第2半導体基板の表面に存する薄膜の平均粗さは、初期のシリコン基板表面の平均粗さが0.1nm以下であるのに対して、この平均粗さの10倍以上であり、マイクロラフネスが比較的大きく、上述した酸化膜耐圧などの電気特性に悪影響を及ぼすおそれがある。特にこの方法では、第1半導体基板の分離により形成された薄膜の表面は、熱処理に伴う微小な気泡の形状が残っているためにマイクロラフネスが大きく、デバイスの作製には適さない。この点を解決するため、第1半導体基板を分離した後の第2半導体基板上の薄膜表面をタッチポリッシュ(touch polishing)と呼ばれる、軽い研磨を施して、これらの表面粗さを初期の基板表面の粗さ程度のマイクロラフネスにしている(M.Bruehl et al., "A Promising New SOI Material Technology" IEEE International SOI Conference proceedings, pp.178-179 (1995))。

【0005】

【発明が解決しようとする課題】 しかしながら、現状のタッチポリッシュの技術を、上記方法で作製した厚さ数百nm以下の極めて薄い薄膜に適用した場合には、薄膜表面を平坦化することはできるが、面内で研磨量のばらつきがあるため、薄膜の厚さ分布が大きくなる不具合があった。この薄膜の厚さ分布が大きいため、研磨後の薄膜半導体基板を用いてデバイスを作製した場合には、デバイスの特性がばらつく問題点があった。本発明の目的は、厚さ数百nm以下の極めて薄い薄膜であっても、薄膜の厚さを変えずにかつ面内の厚さのばらつきを大きくせずに、薄膜の平均表面粗さを0.1nmオーダーに改善する薄膜半導体基板の表面処理方法を提供することにある。

【0006】

【課題を解決するための手段】 請求項1に係る発明は、図1(e)に示すように、半導体基板12上に形成された平均表面粗さが少なくとも0.2nmである単結晶薄膜13の表面を処理する方法において、半導体基板12を活性雰囲気中で1000～1300℃の温度で10分～5時間熱処理することを特徴とする薄膜半導体基板の表面処理方法である。上記条件で半導体基板を熱処理すると、基板上の薄膜表面の原子は活性な状態となって、移動し易くなり、薄膜の平均表面粗さを0.1nmオーダーにする。請求項2に係る発明は、請求項1に係る発明であって、薄膜13がシリコン薄膜であって、活性雰囲気が水素雰囲気であって、熱処理温度が1000～1300℃である薄膜半導体基板の表面処理方法である。上記条件でシリコン薄膜を水素雰囲気中で熱処理することにより、薄膜の表面粗さを小さくすることに加えて、シリコン中に存在する微小欠陥を低減し、シリコン中にドーパントとして含まれるボロンの濃度を制御すること

ができる。

【0007】

【発明の実施の形態】本発明の熱処理時の活性雰囲気としては、水素雰囲気、塩酸雰囲気、フッ化炭素雰囲気があるが、表面処理の制御しやすさの点で水素雰囲気が望ましい。熱処理温度が上記下限値未満で、熱処理時間が上記下限値未満では、薄膜表面の原子の活性度が低く、その表面粗さを0.1nmオーダーにすることができない。また熱処理温度が上記上限値を越え、熱処理時間が上記上限値を越え、活性元素によるエッチングが進んで、熱処理前よりかえって薄膜表面が粗くなる。請求項1及び請求項2とも、熱処理温度は1100～1200℃が好ましく、熱処理時間は1～2時間が好ましい。

【0008】また本発明の被処理物は、基板上に平均表面粗さが少なくとも0.2nmである単結晶薄膜を有する半導体基板である。0.2nm未満では本発明の処理方法でこの値以下に表面粗さを小さくできないからである。こうした半導体基板の例としては、SIMOX法でシリコン基板の内部に高濃度の酸素イオンを注入した後、高温でアニール処理してこのシリコン基板表面から所定の深さの領域に埋込みシリコン酸化層を形成したSOI基板や、特開平5-211128号公報に示された方法で第1半導体基板を分離した直後の薄膜を有する第2半導体基板等が挙げられる。

【0009】この方法を図面を用いて説明する。図1

(a)に示すように、シリコンウェーハの第1半導体基板11を熱酸化により基板表面に酸化層(SiO₂層)11aを形成した後、この基板11に水素イオンを $2 \times 10^{11}/\text{cm}^2 \sim 1 \times 10^{12}/\text{cm}^2$ のドーズ量でイオン注入する。11bは水素イオン注入による損傷領域である。次いで図1(b)に示すように、上記と同一のシリコンウェーハからなる第2半導体基板12を用意する。図1(c)に示すように、両基板11、12をRCA法により洗浄した後、基板12上に基板11を室温で接合する。基板12は支持基板として作用する。図1(d)に示すように、接合した2枚の基板11、12をアルゴン雰囲気中400～600℃で第1次熱処理する。これにより、基板11が損傷領域11bのところで割れ、基板12から分離する。基板12の接合面には単結晶シリコン薄膜13が残存する。この第1次熱処理した後のシリコン薄膜13の平均表面粗さは約10nmである。図1(e)に示すように、分離後、アルゴン雰囲気中約1100℃で2次熱処理し、シリコン薄膜の化学結合を強固にする。図1(f)に示すように、薄膜13を有する基板12を水素雰囲気中で1000～1300℃の温度範囲で10分～5時間の範囲で第3次熱処理する。この熱処理によりシリコン薄膜13の厚さ及びその分布は変わらず、平均表面粗さは0.1nmオーダーとなる。また別の方法として1次熱処理の後に、上記第3次熱処理と同じ水素雰囲気中の熱処理を行っても良い。この場

合、シリコン表面の平坦化とともに、上記第2次熱処理と同じ効果(張り合わせ強度の増加)も得ることができる。

【0010】

【実施例】次に本発明の実施例を比較例とともに説明する。

<実施例1>厚さ625μmの第1シリコンウェーハを熱酸化して表面に厚さ500nmの熱酸化膜を形成した。このシリコンウェーハに120keV、ドーズ量 $5 \times 10^{11}/\text{cm}^2$ で水素イオンを注入した。熱酸化前の上記と同一の第2シリコンウェーハを支持基板として、第2シリコンウェーハに第1シリコンウェーハを接合した。接合前にRCA法により両ウェーハを洗浄した。接合した両ウェーハを600℃で熱処理した。この熱処理により第1シリコンウェーハ中の結晶の再配列及び微小気泡の圧力作用により、ウェーハ内部のイオン注入した箇所第1シリコンウェーハが割れて分離し、第2シリコンウェーハ上に厚さ500nmのシリコン薄膜を有するSOI基板が得られた。このときの薄膜のウェーハ面内のばらつきは±3nmであった。また表面の平均粗さRaは原子間力顕微鏡(AFM)で測定した結果、10nmであった。このAFMによる薄膜の表面粗さを図2に示す。このシリコン薄膜付きの第2シリコンウェーハを水素雰囲気中1100℃で3時間熱処理した。熱処理後の薄膜の厚さはウェーハ面内で500±3nmと変わらず、表面の平均粗さRaはAFMで測定した結果、0.1nmであった。この値は初期のシリコンウェーハの表面粗さ並みであった。この表面粗さを図3に示す。

【0011】<実施例2>実施例1と同様にして作製したシリコン薄膜付きの第2シリコンウェーハを水素雰囲気中1200℃で2時間熱処理した。熱処理後の薄膜の厚さはウェーハ面内で500±3nmと変わらず、表面の平均粗さRaはAFMで測定した結果、0.12nmであった。この表面粗さを図4に示す。

【0012】<比較例1>実施例1と同様にして作製したシリコン薄膜付きの第2シリコンウェーハをタッチポリッシュした。このときの薄膜の平均表面粗さRaは0.15nmに改善されたが、薄膜の厚さはウェーハ面内で480±7nmと悪くなった。

【0013】<比較例2>実施例1と同様にして作製したシリコン薄膜付きの第2シリコンウェーハを水素雰囲気中1350℃で1時間熱処理した。熱処理によりシリコン薄膜は水素でエッチングされ、薄膜の厚さはウェーハ面内で100±8nmと悪くなり、表面の平均粗さRaもAFMで測定した結果、5nmと実施例1及び2より悪化していた。

【0014】<比較例3>実施例1と同様にして作製したシリコン薄膜付きの第2シリコンウェーハを水素雰囲気中900℃で5時間熱処理した。薄膜の厚さ、その面内分布及び表面粗さに変化はなかった。

【0015】

【発明の効果】以上述べたように、本発明によれば、平均表面粗さが少なくとも0.2nmである単結晶薄膜を有する半導体基板を活性雰囲気中で1000～1300℃の温度で10分～5時間熱処理することにより、厚さ数百nm以下の極めて薄い薄膜であっても、薄膜の厚さを変えずにかつ面内の厚さのばらつきを大きくせずに、薄膜の平均表面粗さを0.1nmオーダーに改善することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態のSOI基板の製造方法を工程順に示す図。

【図2】本発明実施例1の活性雰囲気で熱処理する前の原子間力顕微鏡により基板表面粗さを示す図。

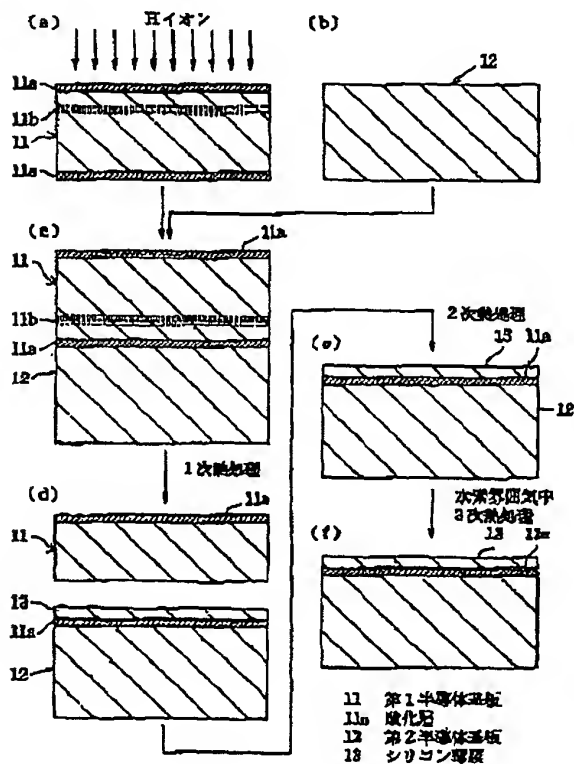
【図3】本発明実施例1の活性雰囲気で熱処理した後の原子間力顕微鏡により基板表面粗さを示す図。

【図4】本発明実施例2の活性雰囲気で熱処理した後の原子間力顕微鏡により基板表面粗さを示す図。

【符号の説明】

- 11 第1半導体基板（第1シリコンウェーハ）
- 11a 酸化層
- 12 第2半導体基板（第2シリコンウェーハ）
- 13 シリコン薄膜

【図1】



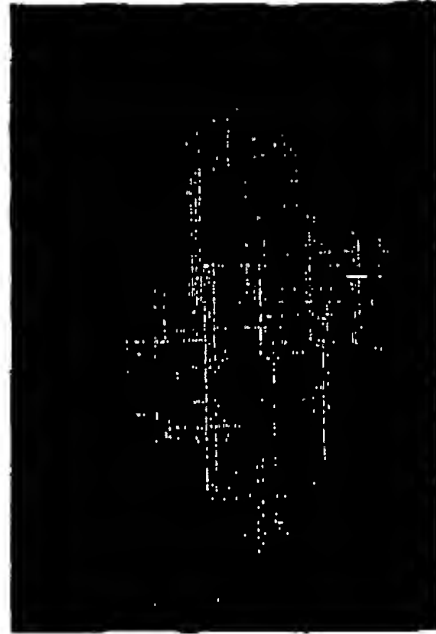
【図2】



【図3】



【図4】



【手続補正番】

【提出日】平成9年2月24日

【手続補正1】

【補正対象書類名】図面

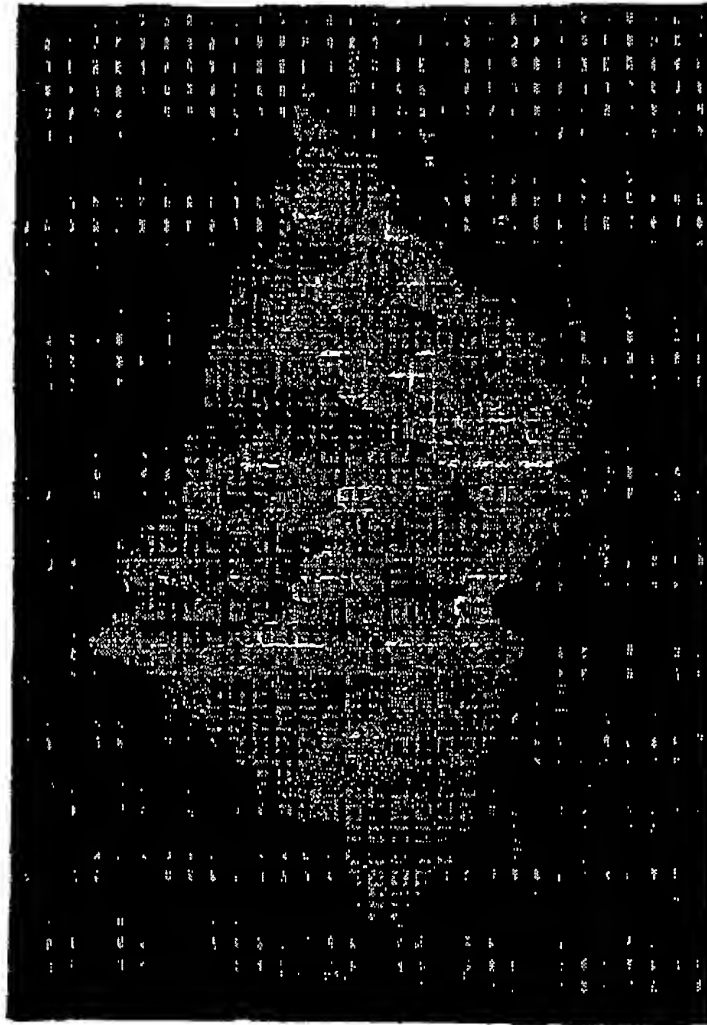
【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】

図面代用写真



【手続補正2】

【補正対象書類名】図面

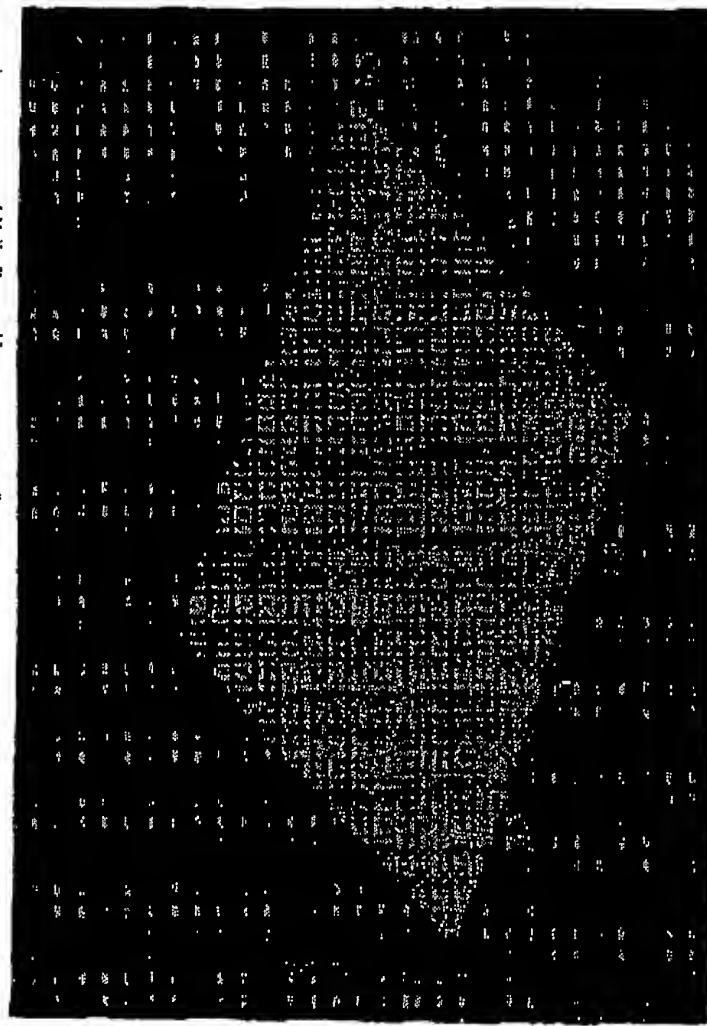
【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】

図面代用写真



【手続補正3】

【補正対象書類名】図面

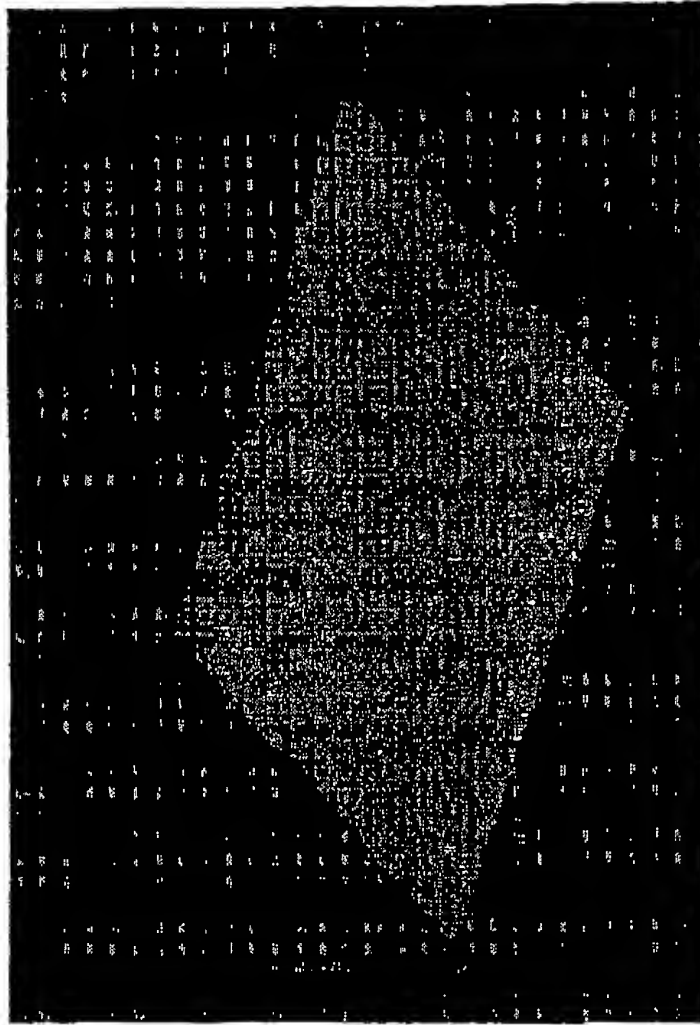
【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】

図面代用写真



フロントページの続き

(72)発明者 中井 哲弥

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内